

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-305800

(43)Date of publication of application : 02.11.2000

(51)Int. Cl.

G06F 11/22  
// G01R 31/3183

(21)Application number : 11-109848

(71)Applicant : ANDO ELECTRIC CO LTD

(22)Date of filing : 16.04.1999

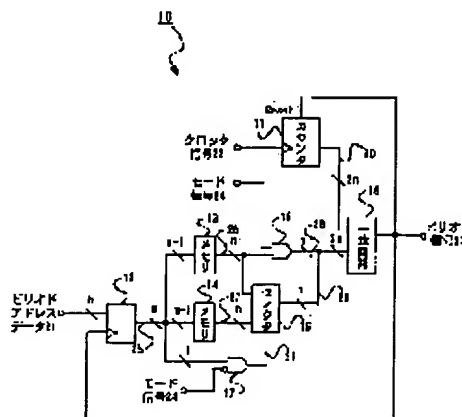
(72)Inventor : UEHARA TAKAFUMI

## (54) PERIOD GENERATING DEVICE AND CONTROL METHOD IN THE SAME DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a period generating device and a control method in the period generating device for increasing the setting time of a period without increasing the capacity of a period memory.

SOLUTION: Period address data 21 are set as 'm bits', and the constitution of period memories 13 and 14 is respectively set as '2n-1word\*n bits', and period data are set as maximum '2n bits', and a counter 11 is set as a '2n bit' counter, and the period of a clock signal 22 is set as T. A period generator 10 is constituted of two period memories, that is, a period memory 13 and a period memory 14 by setting the word direction of the period memory as 1/2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(12)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-305800

(P2000-305800A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.

識別記号

F I

ターム(参考)

G 0 6 F 11/22

3 1 0

G 0 6 F 11/22

3 1 0 B 2 G 0 3 2

// G 0 1 R 31/3183

G 0 1 R 31/28

Q 5 B 0 4 8

9 A 0 0 1

審査請求 未請求 請求項の数5 OL (全 8 頁)

(21)出願番号

特願平11-109848

(22)出願日

平成11年4月16日(1999.4.16)

(71)出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(72)発明者 上原 孝文

東京都大田区蒲田4丁目19番7号 安藤電

気株式会社内

(74)代理人 100090033

弁理士 荒船 博司 (外1名)

Fターム(参考) 2G032 AA04

5B048 AA20 DD05

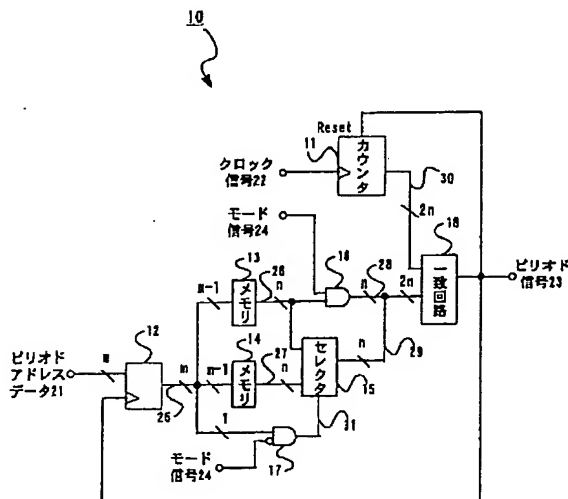
9A001 BB03 HH34 KK54 LL05

(54)【発明の名称】 ピリオド発生装置及びピリオド発生装置における制御方法

(57)【要約】

【課題】 本発明の課題は、ピリオドメモリの容量を増大せずに、ピリオドの設定時間を増加させることが可能なピリオド発生装置及びピリオド発生装置における制御方法を提供することである。

【解決手段】 ピリオドアドレスデータ21を“mビット”、ピリオドメモリ13、14の構成をそれぞれ“2<sup>m-1</sup>ワード\*nビット”、ピリオドデータを最大“2nビット”、カウンタ11を“2nビット”カウンタ、クロック信号22の周期をTとする。ピリオド発生装置10は、ピリオドメモリのワード方向を1/2にすることにより、ピリオドメモリ13とピリオドメモリ14の2つのピリオドメモリにより構成されている。



**【特許請求の範囲】**

【請求項1】 mビットのピリオドアドレスデータに基づいてピリオドデータを設定すると共に、そのピリオドデータに応じたピリオド信号を出力するピリオド発生装置において、

前記ピリオドアドレスデータの入力をピリオド信号により保持する保持手段と、

この保持手段より出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力する第1の記憶手段と、

前記保持手段より出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力する第2の記憶手段と、

前記保持手段より出力された下位1ビットのデータ入力とモード信号の入力とを演算する第1の演算手段と、

この第1の演算手段より出力された演算結果の入力に基づいて、前記第1の記憶手段より出力されたピリオドデータと、前記第2の記憶手段より出力されたピリオドデータの中からいずれか一方を選択して出力する選択手段と、

前記第1の記憶手段より出力されたピリオドデータと前記モード信号の入力とを演算する第2の演算手段と、クロック信号の入力により計数し、前記ピリオド信号の入力により計数値をリセットする計数手段と、

前記選択手段により択一的に出力されるピリオドデータ及び前記第2の演算手段より出力される演算結果と、前記計数手段より出力される計数値との比較結果に基づいて前記ピリオド信号を発生する出力手段と、

を更に備えたことを特徴とするピリオド発生装置。

【請求項2】 前記出力手段は、前記選択手段により択一的に出力される信号及び前記第2の演算手段より出力される演算結果と、前記計数手段より出力される計数値とを比較し、その比較結果が一致した時に前記ピリオド信号を発生することを特徴とする請求項1記載のピリオド発生装置。

【請求項3】 前記第1の記憶手段と前記第2の記憶手段は、同一種類のメモリにより構成されることを特徴とする請求項1または2記載のピリオド発生装置。

【請求項4】 mビットのピリオドアドレスデータに基づいてピリオドデータを設定すると共に、そのピリオドデータに応じたピリオド信号を出力するピリオド発生装置におけるピリオド信号の出力工程を制御する制御方法において、

前記ピリオドアドレスデータの入力をピリオド信号により保持する保持工程と、

この保持工程にて出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力する第1の記憶工程と、

前記保持工程にて出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力する第

2の記憶工程と、

前記保持工程にて出力された下位1ビットのデータ入力とモード信号の入力とを演算する第1の演算工程と、

この第1の演算工程にて出力された演算結果の入力に基づいて、前記第1の記憶工程にて出力されたピリオドデータと、前記第2の記憶工程にて出力されたピリオドデータの中からいずれか一方を選択して出力する選択工程と、

前記第1の記憶工程にて出力されたピリオドデータと前記モード信号の入力とを演算する第2の演算工程と、

クロック信号の入力により計数し、前記ピリオド信号の入力により計数値をリセットする計数工程と、

前記選択工程にて択一的に出力されるピリオドデータ及び前記第2の演算工程にて出力される演算結果と、前記計数工程にて出力される計数値との比較結果に基づいて前記ピリオド信号を発生する出力工程と、

を含むことを特徴とするピリオド発生装置における制御方法。

【請求項5】 前記出力工程は、前記選択工程にて択一的に出力される信号及び前記第2の演算工程にて出力される演算結果と、前記計数工程にて出力される計数値とを比較し、その比較結果が一致した時に前記ピリオド信号を発生することを特徴とする請求項4記載のピリオド発生装置における制御方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路を試験するIC試験装置等に用いられ、設定された任意のピリオド信号を発生するピリオド発生装置及びピリオド発生装置における制御方法に関するものである。

**【0002】**

【従来の技術】 近年、様々な電子機器に用いられる回路のIC (Integrated Circuit : 集積回路) 化が急速に進められてきた。IC、LSI (Large Scale Integrated circuit) 等は、抵抗、コンデンサ、トランジスタ等の各素子の働きを、印刷、蒸着等の方法により形成した回路によって実現するが、大量生産されるそれぞれの製品間には多少の特性のばらつきが生じる。このようなICやLSIの特性が、所定の規格を満たしているか否かを試験する装置としてIC試験装置が利用されている。また、IC試験装置等を用いた試験の際に、設定された任意のピリオド信号を発生する手段としてピリオド発生装置が利用されている。

【0003】 以下、図4を参照して、従来のピリオド発生装置40について説明する。

【0004】 図4において、ピリオド発生装置40は、カウンタ41、フリップフロップ42、ピリオドメモリ43、一致回路48により構成され、この装置内で処理されるデータ及び信号は、ピリオドアドレスデータ51、クロック信号52、ピリオド信号53より構成され

ている。また、ピリオドアドレスデータ51をmビット、ピリオドメモリ43の構成を2<sup>m</sup>ワード×nビット、カウンタ41をnビットカウンタ、クロック信号52の周期をTとする。

【0005】ピリオドメモリ43には、予めnビット幅の2<sup>n</sup>種類のピリオドデータが記憶されている。ピリオドメモリ43は、mビットのピリオドアドレスデータ51をフリップフロップ42を介して受信し、当該ピリオドアドレスデータ51に対応したnビットのピリオドデータ56を出力する。また、カウンタ41は、クロック信号52をカウントし、当該カウントに基づいてカウンタ出力信号60を出力する。そして、一致回路48は、ピリオドデータ56とカウンタ出力信号60の入力値が一致すると、ピリオド信号53としてパルスが発生する。

【0006】ピリオド信号53は、カウンタ41のリセット入力とフリップフロップ42のクロック入力に入力される。当該入力に伴い、カウンタ41は、リセットが入力されると次のカウントを開始する。また、フリップフロップ42は、次のピリオドアドレスデータ51をピリオドメモリ43に送信する。ピリオド発生装置40は、上述の動作を繰り返し実行することにより、任意のピリオド信号53を発生する。

【0007】

【発明が解決しようとする課題】しかしながら、上述のピリオド発生装置40では以下のような問題があった。ピリオドの設定時間を増加するには、ピリオドメモリ43のビット数nを大きくする必要があるが、ここで用いるメモリは高速で動作するため高価であり、容量を増やすことは困難である。

【0008】そこで、本発明の課題は、ピリオドメモリの容量を増大せずに、ピリオドの設定時間を増加させることが可能なピリオド発生装置及びピリオド発生装置における制御方法を提供することである。

【0009】

【課題を解決するための手段】請求項1記載の発明は、mビットのピリオドアドレスデータに基づいてピリオドデータを設定すると共に、そのピリオドデータに応じたピリオド信号を出力するピリオド発生装置において、前記ピリオドアドレスデータの入力をピリオド信号により保持する保持手段と、この保持手段より出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力する第1の記憶手段と、前記保持手段より出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力する第2の記憶手段と、前記保持手段より出力された下位1ビットのデータ入力とモード信号の入力とを演算する第1の演算手段と、この第1の演算手段より出力された演算結果の入力に基づいて、前記第1の記憶手段より出力されたピリオドデータと、前記第2の記憶手段より出力されたピリオ

ドデータの中からいずれか一方を選択して出力する選択手段と、前記第1の記憶手段より出力されたピリオドデータと前記モード信号の入力とを演算する第2の演算手段と、クロック信号の入力により計数し、前記ピリオド信号の入力により計数値をリセットする計数手段と、前記選択手段により択一的に出力されるピリオドデータ及び前記第2の演算手段より出力される演算結果と、前記計数手段より出力される計数値との比較結果に基づいて前記ピリオド信号を発生する出力手段と、を更に備えたことを特徴としている。

【0010】請求項1記載の発明によれば、保持手段は、前記ピリオドアドレスデータの入力をピリオド信号により保持し、第1の記憶手段は、この保持手段より出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力し、第2の記憶手段は、前記保持手段より出力された上位m-1ビットのデータ入力に応じて、nビットのピリオドデータを出力し、第1の演算手段は、前記保持手段より出力された下位1ビットのデータ入力とモード信号の入力とを演算し、選択手段は、この第1の演算手段より出力された演算結果の入力に基づいて、前記第1の記憶手段より出力されたピリオドデータと、前記第2の記憶手段より出力されたピリオドデータの中からいずれか一方を選択して出力し、第2の演算手段は、前記第1の記憶手段より出力されたピリオドデータと前記モード信号の入力とを演算し、計数手段は、クロック信号の入力により計数し、前記ピリオド信号の入力により計数値をリセットし、出力手段は、前記選択手段により択一的に出力されるピリオドデータ及び前記第2の演算手段より出力される演算結果と、前記計数手段より出力される計数値との比較結果に基づいて前記ピリオド信号を発生する。

【0011】また、請求項2記載の発明は、請求項1記載の発明において、前記出力手段は、前記選択手段により択一的に出力される信号及び前記第2の演算手段より出力される演算結果と、前記計数手段より出力される計数値とを比較し、その比較結果が一致した時に前記ピリオド信号を発生することを特徴としている。

【0012】請求項2記載の発明によれば、前記出力手段は、前記選択手段により択一的に出力される信号及び前記第2の演算手段より出力される演算結果と、前記計数手段より出力される計数値とを比較し、その比較結果が一致した時に前記ピリオド信号を発生する。

【0013】また、請求項3記載の発明は、請求項1または2記載の発明において、前記第1の記憶手段と前記第2の記憶手段は、同一種類のメモリにより構成されることを特徴としている。

【0014】請求項3記載の発明によれば、前記第1の記憶手段と前記第2の記憶手段は、同一種類のメモリにより構成される。

【0015】また、請求項4記載の発明は、mビットの

ピリオドアドレスデータに基づいてピリオドデータを設定すると共に、そのピリオドデータに応じたピリオド信号を出力するピリオド発生装置におけるピリオド信号の出力工程を制御する制御方法において、前記ピリオドアドレスデータの inputs をピリオド信号により保持する保持工程と、この保持工程にて出力された上位 $m-1$ ビットのデータ入力に応じて、 $n$ ビットのピリオドデータを出力する第1の記憶工程と、前記保持工程にて出力された上位 $m-1$ ビットのデータ入力に応じて、 $n$ ビットのピリオドデータを出力する第2の記憶工程と、前記保持工程にて出力された下位1ビットのデータ入力とモード信号の inputs とを演算する第1の演算工程と、この第1の演算工程にて出力された演算結果の inputs に基づいて、前記第1の記憶工程にて出力されたピリオドデータと、前記第2の記憶工程にて出力されたピリオドデータの中からいずれか一方を選択して出力する選択工程と、前記第1の記憶工程にて出力されたピリオドデータと前記モード信号の inputs とを演算する第2の演算工程と、クロック信号の inputs により計数し、前記ピリオド信号の inputs により計数値をリセットする計数工程と、前記選択工程にて択一的に出力されるピリオドデータ及び前記第2の演算工程にて出力される演算結果と、前記計数工程にて出力される計数値との比較結果に基づいて前記ピリオド信号を発生する出力工程と、を含むことを特徴としている。

【0016】請求項4記載の発明によれば、保持工程は、前記ピリオドアドレスデータの inputs をピリオド信号により保持し、第1の記憶工程は、この保持工程にて出力された上位 $m-1$ ビットのデータ入力に応じて、 $n$ ビットのピリオドデータを出力し、第2の記憶工程は、前記保持工程にて出力された上位 $m-1$ ビットのデータ入力に応じて、 $n$ ビットのピリオドデータを出力し、第1の演算工程は、前記保持工程にて出力された下位1ビットのデータ入力とモード信号の inputs とを演算し、選択工程は、この第1の演算工程にて出力された演算結果の inputs に基づいて、前記第1の記憶工程にて出力されたピリオドデータと、前記第2の記憶工程にて出力されたピリオドデータの中からいずれか一方を選択して出力し、第2の演算工程は、前記第1の記憶工程にて出力されたピリオドデータと前記モード信号の inputs とを演算し、計数工程は、クロック信号の inputs により計数し、前記ピリオド信号の inputs により計数値をリセットし、出力工程は、前記選択工程にて択一的に出力されるピリオドデータ及び前記第2の演算工程にて出力される演算結果と、前記計数工程にて出力される計数値との比較結果に基づいて前記ピリオド信号を発生する。

【0017】また、請求項5記載の発明は、請求項4記載の発明において、前記出力工程は、前記選択工程にて択一的に出力される信号及び前記第2の演算工程にて出力される演算結果と、前記計数工程にて出力される計数値とを比較し、その比較結果が一致した時に前記ピリオ

ド信号を発生することを特徴としている。

【0018】請求項5記載の発明によれば、前記出力工程は、前記選択工程にて択一的に出力される信号及び前記第2の演算工程にて出力される演算結果と、前記計数工程にて出力される計数値とを比較し、その比較結果が一致した時に前記ピリオド信号を発生する。

【0019】したがって、メモリのビット数を増やす必要なく、ピリオドの設定時間を増加することが可能となり、従来と同等容量のメモリを使用することにより従来より大きな周期のピリオドを設定することができる。また、高速で動作する高価なメモリを新たに追加する必要がないため、機能向上に伴うコストの上昇を避けることができる。

【0020】

【発明の実施の形態】以下、図を参照して本発明の実施の形態を詳細に説明する。

【0021】最初に、図1を参照して本発明に係るピリオド発生装置10の構成について説明する。図1は、本実施の形態におけるピリオド発生装置10の要部構成を示すブロック図である。ピリオド発生装置10は、カウンタ11、フリップフロップ12、ピリオドメモリ13、14、セレクト15、アンドゲート16、17、一致回路18により構成され、この装置内で処理されるデータ及び信号は、ピリオドアドレスデータ21、クロック信号22、ピリオド信号23、モード信号24である。

【0022】また、本実施の形態においては、ピリオドアドレスデータ21を“ $m$ ビット”、ピリオドメモリ13、14の構成をそれぞれ“ $2^{m-1}$ ワード $\times n$ ビット”、ピリオドデータを最大“ $2n$ ビット”、カウンタ11を“ $2n$ ビット”カウンタ、クロック信号22の周期を $T$ とする。図1に示すように、ピリオド発生装置10は、ピリオドメモリのワード方向を $1/2$ にすることにより、ピリオドメモリ13とピリオドメモリ14の2つのピリオドメモリにより構成されている。このため、2つのピリオドメモリを合わせた容量は、従来技術におけるピリオドメモリ43（図4参照）の容量と同等である。

【0023】更に、ピリオド発生装置10は、モード信号24により2つの動作モードを備えている。これにより、モード信号24が「Lo」の場合、ピリオド発生装置10は、 $2^m$ 種類のピリオドを有し、ピリオドデータは $n$ ビット分の設定範囲となるため、前述した従来のピリオド発生装置40と同等の機能となる。これに対し、モード信号14が「Hi」の場合、ピリオド発生装置10は、 $2^{m-1}$ 種類のピリオドを有し、ピリオドデータは $2n$ ビット分の設定範囲となるため、従来のピリオド発生装置40の2倍の設定範囲となる。

【0024】次に、図1～図3を参照して、本発明に係るピリオド発生装置10の動作について説明する。

【0025】最初に、モード信号24が「Lo」の場合の動作について説明する。ピリオドメモリ13、14には予め“nビット”幅で $2^m$ 種類のピリオドが記憶されている。ピリオドメモリ13は、“mビット”のピリオドアドレスデータ25の中から上位“m-1ビット”を受信し、当該アドレスデータに対応した“nビット”のピリオドデータ26を出力する。同様に、ピリオドメモリ14は、上位“m-1ビット”を受信し、当該アドレスデータに対応した“nビット”のピリオドデータ27を出力する。

【0026】また、ピリオドアドレスデータ25中の下位1ビットは、モード信号24が「Lo」であるため、アンドゲート17を介してセクタ15のセレクト信号31となる。次に、セクタ15は、当該セレクト信号31を受信することにより、ピリオドデータ26、ピリオドデータ27の中からいずれか1つを選択し、一致回路18にピリオドデータ29を送信する。一方、アンドゲート16にはモード信号24より「Lo」が入力されるため、ピリオドデータ28は「Lo」となる。

【0027】カウンタ11は、クロック信号22の入力によるカウントに従って、カウンタ出力30を出力する。そして、前述したようにピリオドデータ28が常に「Lo」であるため、一致回路18は、ピリオドデータ29とカウンタ出力30からの入力値が一致した時に、ピリオド信号23としてパルスが発生する。

【0028】更に、当該ピリオド信号23は、カウンタ11のリセット入力とフリップフロップ12のクロック入力に入力される。カウンタ11は、当該リセット入力に伴い、次のカウントを開始する。また、フリップフロップ12は、次のピリオドアドレスデータ21をピリオドメモリ13、14に送信する。

【0029】上述の動作を繰り返し実行することにより、ピリオド発生装置10は、任意のタイミングでピリオド信号23を発生することができる。

【0030】次に、図2に示すタイミングチャートを参照して、モード信号14が「Lo」の場合におけるピリオド発生装置10の動作について説明する。

【0031】図2において、アはピリオドアドレスデータ21のデータ図、イはピリオドアドレスデータ25のデータ図、ウはピリオドデータ26のデータ図、エはピリオドデータ27のデータ図、オはセレクト信号31の波形図、カはピリオドデータ28のデータ図、キはピリオドデータ29のデータ図、クはクロック信号22の波形図、ケはカウンタ出力30のデータ図、コはピリオド信号23の波形図である。

【0032】図2は、本実施の形態における各種信号若しくはデータ入力の一例として、ピリオドアドレスデータ21を、アに示すように「A」、「B」、「C」、「D」、「E」の順の入力とし、クロック信号22を、クに示すように周期Tのクロックの入力とし、ピリオド

メモリ13、14のビット幅nを3に設定した場合のものである。

【0033】フリップフロップ12は、ピリオドアドレスデータ21をピリオド信号23により保持し、イに示すように「A」、「B」、「C」、「D」、「E」の順にデータを出力する。また、ピリオドメモリ13は、ピリオドアドレスデータ25の上位“m-1ビット”に対応するピリオドデータ26を、ウに示すように「3」、「4」、「5」、「6」の順に出力する。同様に、ピリオドメモリ14は、ピリオドアドレスデータ25の上位“m-1ビット”に対応するピリオドデータ27を、エに示すように「1」、「2」、「3」、「4」の順に出力する。

【0034】また、ピリオドアドレスデータ25の下位“1ビット”は、モード信号24が「Lo」であるため、アンドゲート17を介して、オに示すように「Hi」、「Hi」、「Lo」、「Lo」の順にセクタ15のセレクト入力に送信される。なお、アンドゲート16の出力は、モード信号14が「Lo」であるため、カに示すように常に「Lo」となる。

【0035】セクタ15は、ピリオドデータ26、ピリオドデータ27の中からいずれか一方をセレクト信号31により選択し、キに示すように「3」、「4」、「3」、「4」の順にピリオドデータ29を出力する。

【0036】カウンタ11は、ピリオド信号23によりリセットされ、「0」となり、続いてクロック信号22の入力に従って、アップカウントを開始する動作を繰り返し実行し、ケに示すようなデータを出力する。

【0037】一致回路18は、ピリオドデータ29とカウンタ出力30からの入力値が一致した時にパルスが発生し、コに示すような「4T」、「5T」、「4T」、「5T」と周期が変化するピリオド信号23を発生する。即ち、上述の動作により、ピリオド周期＝(ピリオドデータ+1)×Tの関係式に基づくピリオド信号23が得られる。

【0038】次に、モード信号24が「Hi」の場合について説明する。ピリオドメモリ13、14には予め“2nビット”幅で $2^{m+1}$ 種類のピリオドが記憶されている。ピリオドメモリ13は、“mビット”のピリオドアドレスデータ25の中から上位“m-1ビット”を受信し、当該アドレスデータに対応した“nビット”のピリオドデータ26を出力する。同様に、ピリオドメモリ14は、上位“m-1ビット”を受信し、当該アドレスデータに対応した“nビット”のピリオドデータ27を出力する。

【0039】また、モード信号24が「Hi」であるため、アンドゲート17の出力は「Lo」となる。セクタ15は、セレクト信号31が「Lo」であるため、ピリオドデータ26、ピリオドデータ27の中から、常にピリオドデータ27を選択し、一致回路18にピリオド

データ29を送信する。一方、アンドゲート16にはモード信号24より「Hi」が入力されるため、ピリオドデータ28にはピリオドデータ26がそのまま出力される。

【0040】カウンタ11は、クロック信号22の入力によるカウントに従って、カウンタ出力30を出力する。そして、一致回路18は、ピリオドデータ28及びピリオドデータ29とカウンタ出力30からの入力値が一致した時に、ピリオド信号23としてパルスを発生する。

【0041】更に、当該ピリオド信号23は、カウンタ11のリセット入力とフリップフロップ12のクロック入力に入力される。カウンタ11は、当該リセット入力に伴い、次のカウントを開始する。また、フリップフロップ12は、次のピリオドアドレスデータ21をピリオドメモリ13に送信する。

【0042】上述の動作を繰り返し実行することにより、ピリオド発生装置10は、任意のタイミングでピリオド信号23を発生することができる。

【0043】次に、図3に示すタイミングチャートを参照して、モード信号14が「Hi」の場合におけるピリオド発生装置10の動作について説明する。

【0044】図3において、アはピリオドアドレスデータ21のデータ図、イはピリオドアドレスデータ25のデータ図、ウはピリオドデータ26のデータ図、エはピリオドデータ27のデータ図、オはセレクト信号31の波形図、カはピリオドデータ28のデータ図、キはピリオドデータ29のデータ図、クはクロック信号22の波形図、ケはカウンタ出力30のデータ図、コはピリオド信号23の波形図である。

【0045】図3は、前述したモード信号14が「Lo」の場合と同様に（図2参照）、本実施の形態における各種信号若しくはデータ入力の一例として、ピリオドアドレスデータ21を、アに示すように「A」、  
「B」、「C」の順の入力とし、クロック信号22を、クに示すように周期Tのクロックの入力とし、ピリオドメモリ13、14のビット幅nを3に設定した場合のものである。

【0046】フリップフロップ12は、ピリオドアドレスデータ21をピリオド信号23により保持し、イに示すように「A」、「B」、「C」の順にデータを出力する。また、ピリオドメモリ13は、ピリオドアドレスデータ25の上位“m-1ビット”に対応するピリオドデータ26を、ウに示すように「1」、「0」の順に出力する。同様に、ピリオドメモリ14は、ピリオドアドレスデータ25の上位“m-1ビット”に対応するピリオドデータ27を、エに示すように「2」、「6」の順に出力する。

【0047】また、モード信号24が「Hi」であるため、アンドゲート17は、オに示すように常に「Lo」

をセクタ15のセレクト入力に送信する。なお、モード信号14が「Hi」であるため、アンドゲート16の出力は、カに示すようにピリオドデータ26と同様に「1」、「0」となる。

【0048】セクタ15は、セレクト信号31が常に「Lo」であるため、ピリオドデータ26、ピリオドデータ27の中からピリオドデータ27を選択し、キに示すように「2」、「6」の順にピリオドデータ29を出力する。

【0049】カウンタ11は、ピリオド信号23によりリセットされ、「0」となり、続いてクロック信号22の入力により、アップカウントを開始する動作を繰り返し実行し、ケに示すようなデータを出力する。

【0050】一致回路18は、“（ピリオドデータ28）\*8+（ピリオドデータ29）”とカウンタ出力30からの入力値が一致した時にパルスを発生し、コに示すような「11T」、「7T」と周期が変化するピリオド信号23を発生する。即ち、上述の動作により、“ピリオド周期=（ピリオドデータ+1）\*T”の関係式に基づくピリオド信号23が得られる。

【0051】したがって、本発明に係るピリオド発生装置10は、従来のピリオド発生装置40では最大で“ $2^3 * T = 8T$ ”までしか設定できなかったピリオドの周期を、最大で“ $2^6 * T = 64T$ ”まで設定することが可能となる。このため、従来と同等規模のメモリを使用することにより、従来より大きな周期のピリオドを設定することができる。

【0052】

【発明の効果】本発明によれば、メモリのビット数を増やす必要なく、ピリオドの設定時間を増加することが可能となり、従来と同等容量のメモリを使用することにより従来より大きな周期のピリオドを設定することができる。また、高速で動作する高価なメモリを新たに追加する必要がないため、機能向上に伴うコストの上昇を避けることができる。

【図面の簡単な説明】

【図1】本発明に係るピリオド発生装置10の要部構成を示すブロック図である。

【図2】モード信号14が「Lo」の場合における本発明に係るピリオド発生装置10の動作を説明するためのタイミングチャートである。

【図3】モード信号14が「Hi」の場合における本発明に係るピリオド発生装置10の動作を説明するためのタイミングチャートである。

【図4】従来技術におけるピリオド発生装置40の要部構成を示すブロック図である。

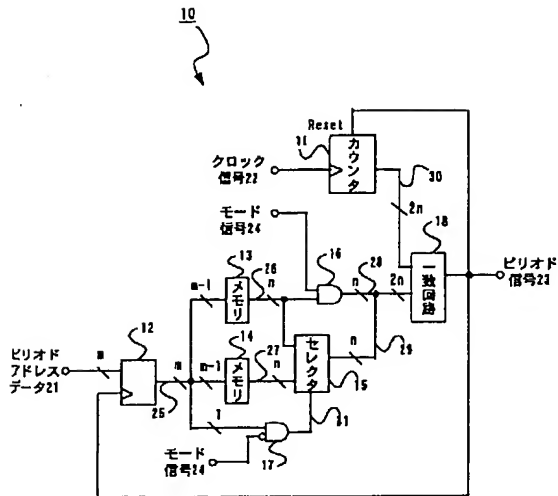
【符号の説明】

11、41	カウンタ
12、42	フリップフロップ
13、14、43	ピリオドメモリ

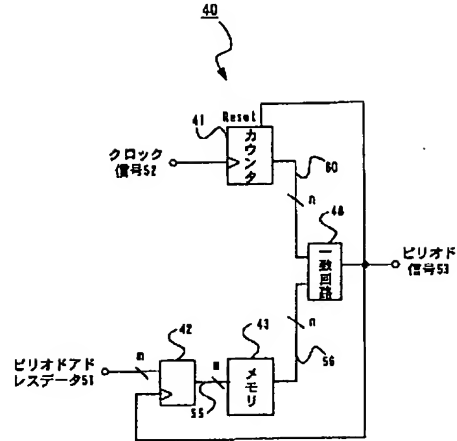
15 セレクタ  
 16、17 アンドゲート  
 18、48 一致回路  
 21、51 ピリオドアドレスデータ

22、52 クロック信号  
 23、53 ピリオド信号  
 24 モード信号

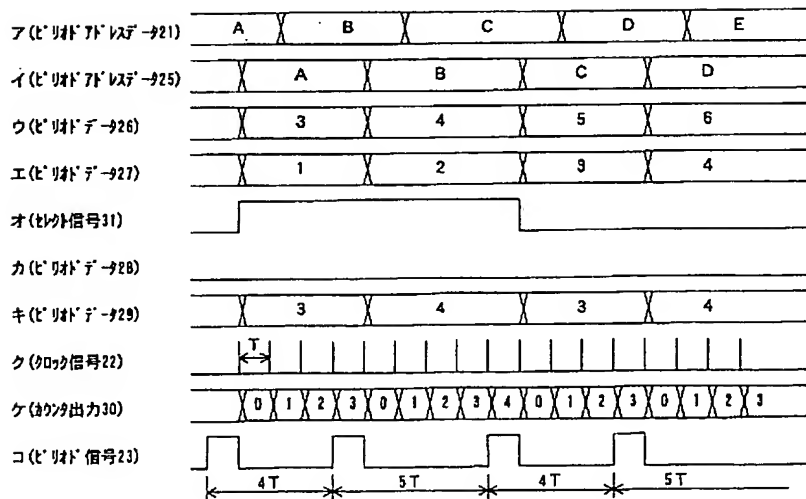
【図1】



【図4】

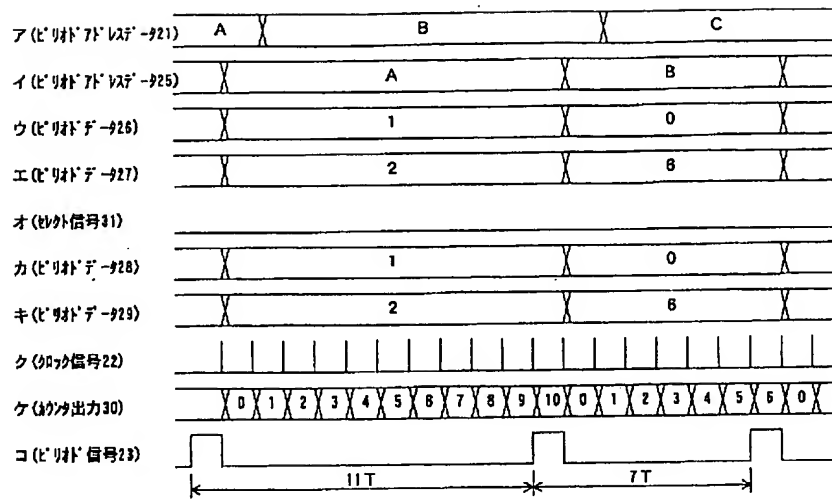


【図2】





【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKewed/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**